

SOLID-STATE IMAGE PICKUP ELEMENT, DRIVING METHOD THEREFOR AND CAMERA SYSTEM

Publication number: JP11355668

Publication date: 1999-12-24

Inventor: UENO TAKAHISA; YONEMOTO KAZUYA; SUZUKI RYOJI; SHIONO KOICHI

Applicant: SONY CORP

Classification:

- international: H01L27/146; H04N3/15; H04N5/335; H01L27/146; H04N3/15; H04N5/335; (IPC1-7): H04N5/335; H01L27/146

- European: H01L27/146A4; H04N3/15C4; H04N3/15E

Application number: JP19980159050 19980608

Priority number(s): JP19980159050 19980608

Also published as:

EP0964570 (A2)

US7116365 (B1)

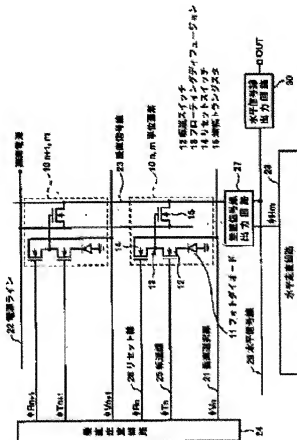
EP0964570 (A3)

Report a data error here

Abstract of JP11355668

PROBLEM TO BE SOLVED: To provide a solid-state image pickup element capable of reducing the constituting element number of a unit picture element provided with an amplification function and reducing a picture element size and to provide a driving method and a camera system.

SOLUTION: The unit picture elements 10n, m arranged in a matrix shape are constituted of a photodiode 11, a transfer switch 12 for transferring charges stored in the photodiode 11, floating diffusion 13 for storing the charges transferred by the transfer switch 12, a reset switch 14 for resetting the floating diffusion 13 and an amplification transistor 15 for outputting signals corresponding to the potential of the floating diffusion 13 to a vertical signal line 23. By controlling the reset potential by supplying a vertical selection pulse ϕ_{RST} to the drain of the reset switch 14, a picture element is selected by a row unit.



Data supplied from the esp@cenet database - Worldwide

特開平11-355668

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁶ 識別記号

H 0 4 N 5/335

H 0 1 L 27/146

F I

H 0 4 N 5/335

H 0 1 L 27/14

P

A

審査請求 未請求 請求項の数15 O L (全 15 頁)

(21) 出願番号 特願平10-159050

(22) 出願日 平成10年(1998)6月8日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 上野 貴久

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
株式会社内

(72) 発明者 米本 和也

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
株式会社内

(72) 発明者 鈴木 亮司

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
株式会社内

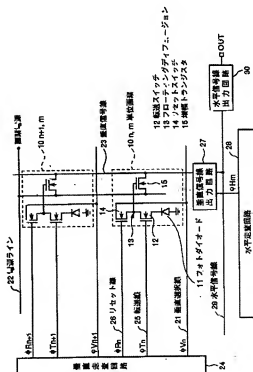
(74) 代理人 弁理士 船橋 國川

最終頁に続く

(54) 【発明の名称】 固体撮像素子およびその駆動方法、並びにカメラシステム

(57) 【要約】

【課題】 増幅機能を持つ単位画素において、構成素子数が多いと、画素サイズの縮小化の妨げとなる。

【解決手段】 行列状に配置された単位画素 10 n, m を、フォトダイオード 11 と、このフォトダイオード 11 に蓄積された電荷を転送する転送スイッチ 12 と、この転送スイッチ 12 によって転送された電荷を蓄積するフローティングディフュージョン 13 と、このフローティングディフュージョン 13 をリセットするリセットスイッチ 14 と、フローティングディフュージョン 13 の電位に応じた信号を垂直信号線 23 に出力する増幅トランジスタ 15 とによって構成し、リセットスイッチ 14 のドレインに垂直選択パルスφ_{Vn}を与えることによってそのリセット電位をコントロールすることにより、行単位で画素の選択を行うようにする。

【特許請求の範囲】

【請求項1】 光電変換素子と、前記光電変換素子に蓄積された電荷を転送する転送スイッチと、前記転送スイッチによって転送された電荷を蓄積する電荷蓄積部と、前記電荷蓄積部をリセットするリセットスイッチと、前記電荷蓄積部の電位に応じた信号を垂直信号線に出力する増幅素子とを具備し、行列状に配置された単位画素と、

前記リセットスイッチに与えるリセット電位をコントロールすることによって行単位で画素の選択を行う垂直走査回路と、

前記垂直信号線に出力された信号を列単位で順次選択する水平走査回路と、

前記水平走査回路によって選択された信号を水平信号線を經由して出力する出力回路とを備えたことを特徴とする固体撮像素子。

【請求項2】 前記垂直走査回路は、垂直走査時に順次出力する垂直選択パルスを前記リセットスイッチに対してそのリセット電位として与えることを特徴とする請求項1記載の固体撮像素子。

【請求項3】 前記電荷蓄積部は、フローティングディフュージョンであることを特徴とする請求項1記載の固体撮像素子。

【請求項4】 前記リセットスイッチは、デプレッション型トランジスタからなることを特徴とする請求項1記載の固体撮像素子。

【請求項5】 前記出力回路は、前記垂直信号線に読み出された信号を電圧モードで出力することを特徴とする請求項1記載の固体撮像素子。

【請求項6】 前記出力回路は、前記垂直信号線に読み出された信号を電流モードで出力することを特徴とする請求項1記載の固体撮像素子。

【請求項7】 前記単位画素は、前記光電変換素子と画素電源電圧が与えられる領域の間に、前記光電変換素子の過剰電荷を排出するオーバーフローバスを形成してなることを特徴とする請求項1記載の固体撮像素子。

【請求項8】 前記転送スイッチの制御電極に負電位を印加することを特徴とする請求項1記載の固体撮像素子。

【請求項9】 前記単位画素は、前記転送スイッチの転送動作を選択する転送選択スイッチを有することを特徴とする請求項1記載の固体撮像素子。

【請求項10】 前記転送選択スイッチは、前記垂直選択パルスを制御入力とすることを特徴とする請求項9記載の固体撮像素子。

【請求項11】 前記出力回路は、前記垂直信号線に読み出された信号を電流モードで出力することを特徴とする請求項9記載の固体撮像素子。

【請求項12】 行列状に配置された単位画素が、光電変換素子と、前記光電変換素子に蓄積された電荷を転送

する転送スイッチと、前記転送スイッチによって転送された電荷を蓄積する電荷蓄積部と、前記電荷蓄積部をリセットするリセットスイッチと、前記電荷蓄積部の電位に応じた信号を垂直信号線に出力する増幅素子とを具備してなる固体撮像素子において、前記リセットスイッチに与えるリセット電位をコントロールすることによって行単位で画素の選択を行うことを特徴とする固体撮像素子の駆動方法。

【請求項13】 前記垂直信号線に読み出された信号を電圧モードで出力することを特徴とする請求項12記載の固体撮像素子の駆動方法。

【請求項14】 前記垂直信号線に読み出された信号を電流モードで出力することを特徴とする請求項12記載の固体撮像素子の駆動方法。

【請求項15】 光電変換素子と、前記光電変換素子に蓄積された電荷を転送する転送スイッチと、前記転送スイッチによって転送された電荷を蓄積する電荷蓄積部と、前記電荷蓄積部をリセットするリセットスイッチと、前記電荷蓄積部の電位に応じた信号を垂直信号線に出力する増幅素子とを具備し、行列状に配置された単位画素と、

前記リセットスイッチに与えるリセット電位をコントロールすることによって行単位で画素の選択を行う垂直走査回路と、

前記垂直信号線に出力された信号を列単位で順次選択する水平走査回路と、

前記水平走査回路によって選択された信号を水平信号線を經由して出力する出力回路とを備えた固体撮像素子を撮像デバイスとして用いたことを特徴とするカメラシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像素子およびその駆動方法、並びにカメラシステムに関し、特に行列状に配置された単位画素ごとに増幅機能を持つCMOSイメージセンサなど増幅型固体撮像素子およびその駆動方法、並びに撮像デバイスとして増幅型固体撮像素子を用いたカメラシステムに関する。

【0002】

【従来の技術】増幅型固体撮像素子、例えばCMOSイメージセンサには、種々の画素構造のものが存在する。その一例として、画素内部にフローティングディフュージョン(Floating Diffusion; FD)を持った画素構造が知られている。この画素構造では、フローティングディフュージョンで信号が増幅されるため、感度を大きくとれる利点がある。この種の画素構造の従来例を図18に示す。

【0003】同図において、行列状に配置される単位画素100の各々は、フォトゲート101、転送スイッチ102、フローティングディフュージョン103、リセ

ットランジスタ104、増幅トランジスタ105および垂直選択トランジスタ106を有している。そして、垂直選択トランジスタ106が垂直選択線111を介して与えられる垂直選択パルスにตอบสนองして単位画素100を行単位で選択することにより、増幅トランジスタ105で増幅された信号を垂直信号線112に出力する構成となっている。

【0004】

【発明が解決しようとする課題】ところで、画素サイズの縮小化を図るためには、単位画素100を構成する素子数を少なくする必要がある。しかしながら、上述した従来例に係るCMOSイメージセンサの画素構造では、フローティングディフュージョン103の電位を行単位で選択して垂直信号線112に出力するの、リセットトランジスタ104、増幅トランジスタ105および垂直選択トランジスタ106の3個のトランジスタを各画素ごとに用いた構成となっているため、素子数が多く、画素サイズを縮小化するのに限界があった。

【0005】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、増幅機能を持つ単位画素の構成素子数を削減し、画素サイズの縮小化を可能とした固体撮像素子およびその駆動方法、並びにカメラシステムを提供することにある。

【0006】

【課題を解決するための手段】本発明による固体撮像素子は、光電変換素子と、この光電変換素子に蓄積された電荷を転送する転送スイッチと、この転送スイッチによって転送された電荷を蓄積する電荷蓄積部と、この電荷蓄積部をリセットするリセットスイッチと、電荷蓄積部の電位に応じた信号を垂直信号線に出力する増幅素子とを具備し、行列状に配置された単位画素と、上記リセットスイッチに与えられるリセット電位をコントロールすることによって行単位で画素の選択を行う垂直走査回路と、垂直信号線に出力された信号を列単位で順次選択する水平走査回路と、この水平走査回路によって選択された信号を水平信号線を経由して出力する出力回路とを備えた構成となっている。

【0007】上記構成の固体撮像素子において、単位画素におけるリセットスイッチに与えられるリセット電位、画素の非選択時に例えば0Vとすることにより、電荷蓄積部の電位は“L”レベルとなる。そして、リセットスイッチに与えられるリセット電位を例えば画素電源電圧にすることによって画素の選択が行われ、次いでリセットパルスが発生することによって電荷蓄積部の電位が画素電源電圧にリセットされる。すなわち、リセット電位をコントロールすることによって電荷蓄積部の電位がコントロールされる。その後、光電変換素子に蓄積された信号電荷が転送スイッチによって電荷蓄積部に転送され、この転送に伴って変化する電荷蓄積部の電位が増幅素子によって垂直信号線に読み出される。

【0008】本発明による固体撮像素子の駆動方法は、行列状に配置された単位画素が、光電変換素子と、この光電変換素子に蓄積された電荷を転送する転送スイッチと、この転送スイッチによって転送された電荷を蓄積する電荷蓄積部と、この電荷蓄積部をリセットするリセットスイッチと、電荷蓄積部の電位に応じた信号を垂直信号線に出力する増幅素子とを具備してなる固体撮像素子において、リセットスイッチに与えられるリセット電位をコントロールすることによって行単位で画素の選択を行うようにする。

【0009】画素ごとに増幅機能を持つ固体撮像素子において、電荷蓄積部をリセットするリセットスイッチに与えられるリセット電位をコントロールすることで、電荷蓄積部の電位がコントロールされる。これにより、垂直（行）選択のための素子が存在しなくても画素が行単位で選択される。すなわち、リセットスイッチが画素を行単位で選択する作用をもなす。したがって、単位画素内から垂直選択のための素子を削減できる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0011】図1は、本発明の第1実施形態に係るCMOSイメージセンサを示す概略構成図である。図1において、単位画素10が2次元配置されて画素部を構成しており、ここでは簡略化のために、 n 行 m 列の単位画素10 n , m および $n+1$ 行 m 列の単位画素10 $n+1$, m の2画素のみを示す。単位画素10の画素構造は全ての画素について同じであり、以下、 n 行 m 列の単位画素10 n , m の画素構造を例にして説明するものとする。

【0012】単位画素10 n , m は、光電変換素子である例えばフォトダイオード11、転送スイッチ12、電荷蓄積部であるフローティングディフュージョン(FD)13、リセットスイッチ14および増幅トランジスタ15を有する構成となっている。なお、光電変換素子としては、フォトダイオード11に代えてフォトゲートや埋め込みフォトダイオードなどを用いることも可能である。

【0013】また、本例では、転送スイッチ12としてNchエンハンスメント型トランジスタが、リセットスイッチ14としてNchデプレッション型トランジスタが、増幅トランジスタ15としてNchエンハンスメント型トランジスタがそれぞれ用いられる。ただし、これらトランジスタの全てもしくは一部をPchトランジスタで置き換えた回路構成とすることも可能である。

【0014】この単位画素10 n , m において、フォトダイオード11はPN接合ダイオードであり、入射光をその光量に応じた電荷量の信号電荷に光電変換し、これを蓄積する。転送スイッチ12は、フォトダイオード11とフローティングディフュージョン13の間に接続さ

れ、フォトダイオード11に蓄積された信号電荷をフローティングディフュージョン13へ転送する。フローティングディフュージョン13は、転送された信号電荷を信号電圧に変換し、増幅トランジスタ15のゲートに与える。

【0015】リセットスイッチ14は、フローティングディフュージョン13と垂直選択線21の間に接続され、フローティングディフュージョン13の電位を画素電源の電位にリセットする機能を持つ。増幅トランジスタ15は、電源ライン22と垂直信号線23の間に接続され、フローティングディフュージョン13の電位を増幅して垂直信号線23に出力する。なお、本例では、画素電源として例えば3.3Vの電源を用いるが、これに限定されるものではない。

【0016】図2に、第1実施形態に係る単位画素10および垂直信号線23のポテンシャル分布を示す。同図において、PDはフォトダイオード11を、TSは転送スイッチ12を、FDはフローティングディフュージョン13を、RSはリセットスイッチ14を、ATは増幅トランジスタ15をそれぞれ表している。そして、フローティングディフュージョン13および増幅トランジスタ15のポテンシャルについては、選択時のポテンシャル動作範囲を実線で、非選択時も有効なポテンシャル動作範囲を破線でそれぞれ示している。

【0017】垂直走査回路24は、単位画素10を行単位で選択するために設けられたものであり、例えばシフトレジスタによって構成されている。この垂直走査回路24からは、垂直選択パルス ϕV (\dots , ϕV_n , ϕV_{n+1} , \dots)、転送パルス ϕT (\dots , ϕT_n , ϕT_{n+1} , \dots) およびリセットパルス ϕR (\dots , ϕR_n , ϕR_{n+1} , \dots) が出力される。

【0018】そして、垂直選択パルス ϕV (\dots , ϕV_n , ϕV_{n+1} , \dots) は垂直選択線21を介してリセットスイッチ14のドレインに、転送パルス ϕT (\dots , ϕT_n , ϕT_{n+1} , \dots) は転送線25を介して転送スイッチ12のゲートに、リセットパルス ϕR (\dots , ϕR_n , ϕR_{n+1} , \dots) はリセット線26を介してリセットスイッチ14のゲートにそれぞれ印加される。

【0019】垂直信号線23の端子には、垂直信号線出力回路27が各列ごとに接続されている。この垂直信号線出力回路27としては、例えば電圧モード型の出力回路が用いられる。垂直信号線出力回路27には、水平走査回路28から水平選択パルス ϕH (\dots , ϕH_m , \dots) が与えられる。この水平走査回路28は、単位画素10を列単位で選択するために設けられたものであり、例えばシフトレジスタによって構成されている。

【0020】垂直信号線出力回路27の出力端は、水平信号線29に接続されている。この水平信号線29には、単位画素10から垂直信号線23を介して垂直信号線出力回路27に読み出された1行分の信号が、水平走

査回路28の水平走査によって垂直信号線出力回路27から順次出力される。水平信号線29の端子には水平信号線出力回路30の入力端が接続されている。

【0021】次に、上記構成の第1実施形態に係るCMOSイメージセンサにおける画素動作について、nライン(n行)の画素の選択時を例にとって図3のタイミングチャートを用いて図4および図5のポテンシャル図を参照しつつ説明する。

【0022】時刻t1までの期間($t < t1$)は非選択状態である。この非選択状態においては、垂直選択パルス ϕV_n は“L”レベル(0V)にあり、またリセットスイッチ(RS)14がオフ状態にあるため、フローティングディフュージョン(FD)13の電位は0Vとなる。

【0023】時刻t1になると、垂直選択パルス ϕV_n が“L”レベルから“H”レベル(3.3V)に移行し、同時に、リセットパルス ϕR_n が発生すると、これに応答してリセットスイッチ14がオン状態となり、0Vであったnライン目のフローティングディフュージョン13の電位を3.3Vにリセットする。この結果、増幅トランジスタ(AT)15がターンオンするため、nライン目の画素が選択状態となる($t1 < t < t2$)。

【0024】時刻t2になり、リセットパルス ϕR_n が消滅すると、このリセットされた状態のフローティングディフュージョン13の読み出しが行われる。これにより、画素ごとに異なっているオフセットレベル(以下、これをノイズレベルと呼ぶ)が、増幅トランジスタ15によって垂直信号線23に読み出され、かつ垂直信号線出力回路27に出力される($t2 < t < t3$)。この読み出されたノイズレベルは、垂直信号線出力回路27内に保持(サンプルホールド)される。

【0025】時刻t3になり、転送パルス ϕT_n が発生すると、転送スイッチ(TS)12は、そのゲートに転送パルス ϕT_n が印加されることによりゲート下のポテンシャルが深くなることにより、フォトダイオード(PD)11に蓄積された信号電荷をフローティングディフュージョン13に転送する($t3 < t < t4$)。この信号電荷の転送により、フローティングディフュージョン13の電位がその電荷量に応じて変化する。

【0026】時刻t4になり、転送パルス ϕT_n が消滅すると、フローティングディフュージョン13の信号電荷に応じた電位が、増幅トランジスタ15によって垂直信号線23に読み出され、かつ垂直信号線出力回路27に出力される($t4 < t < t5$)。この読み出された信号レベルは、垂直信号線出力回路27内に保持(サンプルホールド)される。

【0027】水平有効期間に入ると、各列ごとに垂直信号線出力回路27に画素10から読み出された信号は、水平走査回路28による水平走査によって順次水平信号線29を介して水平信号線出力回路30に出力される。

このとき、これら出力回路27、30においては、単位画素10の信号レベルからノイズレベルを減算することにより、単位画素10の特性のばらつきに起因する固定パターンノイズを抑制する動作が行われるとともに、垂直信号線出力回路27の特性のばらつきに起因する固定パターンノイズを抑制する動作が行われる。

【0028】そして、時刻 t_6 になると、垂直選択ノルスの V_n が“H”レベルから“L”レベルに移り、これにより n ライン目の画素が非選択状態となり、同時に次の $n+1$ ライン目の画素が選択状態となり、この $n+1$ ライン目について上述した動作が繰り返される。

【0029】ここで、非選択ラインの画素について説明する。垂直選択ノルスの V を“L”レベル(0V)とすることにより、画素10を非選択状態にできる。なぜなら、リセットスイッチ14としてデプレッション型トランジスタを用いているため、垂直選択ノルスの V が0Vの場合、フローティングディフュージョン13は常に0Vになっており、そのための増幅トランジスタ15は常にカットオフ状態となるからである。

【0030】上述したように、単位画素10をフォトダイオード11、転送スイッチ12、フローティングディフュージョン13、リセットスイッチ14および増幅トランジスタ15で構成し、リセットスイッチ14を通してフローティングディフュージョン13の電位をコントロールするようにしたことにより、従来の画素構造のように、垂直選択スイッチを設けなくても垂直選択の機能を持たせることができるため、トランジスタを1個削減することができる。

【0031】なお、チャージポンプ回路を内蔵するなどして、垂直選択ノルスの V を“L”レベルで駆動した場合、 $t_3 < t < t_4$ の期間以外の長い期間、転送スイッチ12のゲートを負電位にすることができる。このようにした場合、フォトダイオード11に隣接している転送スイッチのシリコン界面に長い期間正孔を注入することができるため、暗電流を抑制することができる。これは、特にフォトダイオード11として埋め込み型センサ構造を採用した場合に効果大きい。

【0032】また、上述した動作説明では、簡単化のため、全ラインの画素の信号を独立に読み出す全画素独立読み出し動作モードで説明を行ったが、これに限定されるものではなく、第1フィールドでは奇数(偶数)ラインの信号を読み出し、第2フィールドでは偶数(奇数)ラインの信号を読み出すフレーム読み出し動作モードや、隣り合う2ラインの信号を同時に読み出して電圧加算するとともに、フィールドごとに加算する2ラインの組合せを変えるフィールド読み出し動作モードでも勿論可能である。

【0033】ここで、単位画素10の具体的な構成について説明する。フォトダイオード11での信号電荷の蓄積時には、図4(a)から明らかなように、フローティ

ングディフュージョン13が0Vとなる。そのため、蓄積時には転送スイッチ12の表面ポテンシャルは0V以下である必要がある。しかしながら、このままだでは、フォトダイオード11でオーバーフローした電荷を掃き捨てるためのバスが存在しないことになる。

【0034】そこで、本発明に係る画素構造では、例えば電源に接続された拡散層、例えば増幅トランジスタ15のドレインなどをフォトダイオード11に隣接してレイアウトし、両者間の素子分離を不完全とすることによってオーバーフローバスを形成し、当該バスを経由してフォトダイオード11で過剰電荷を掃き捨てる(オーバーフローさせる)構成を採るようにする。これにより、単位画素10の面積を増加させるとなく、オーバーフローバスを形成することができ。

【0035】その具体的な構成例として、以下に説明するような種々の構造が考えられる。すなわち、図6において、素子分離領域の幅(距離)を縮めることによってオーバーフローバスを形成する構造(a)、チャネルストップのP領域の濃度を下げることによってオーバーフローバスを形成する構造(b)、チャネルストップのP領域の下にN⁻領域を積極的に形成してこれをオーバーフローバスとする構造(c)などである。

【0036】また、フォトダイオード11として埋め込み型センサ構造を用いた場合において、オーバーフローバスの横方向の距離を制御良く形成するために、センサ用N⁺(SN用N⁺)領域を画素電源側にも形成し、すかしを入れてソース/ドレイン用N⁻領域を形成する構造(d)、さらに(d)の構造において、オーバーフローバス用にN⁻領域を形成する構造(e)などがある。

【0037】(a)～(c)の各構造では、LOCOS(Local Oxidation of Silicon)酸化膜を図示してあるが、これは必ずしも必要ではない。ただし、この場合、オーバーフローバスの横方向の距離を制御良く形成するために、(d)の構造の例のように、フォトダイオード11側のN⁺とオーバーフローノルスの隣接する画素電源側のN⁺は、同一マスクでイオン注入することが好ましい。

【0038】また、(a)、(c)～(e)の各構造のように、オーバーフローバスをバチアルゲートで形成することにより、オーバーフロー部のシリコン界面が空乏化しない。したがって、従来例のような、シリコン界面が空乏化する転送ゲートを利用したオーバーフロー構造に比べて、暗電流の発生が少なくなる。特に、フォトダイオード11として埋め込み型センサ構造を用いた場合、シリコン界面が空乏化する部分が完全に無くすることができるため、その効果は大である。

【0039】図7は、本発明の第1実施形態の変形例を示す概略構成図である。第1実施形態では、画素からの信号を電圧モードで出力する構成を採用しているのに対し、本変形例では、画素からの信号を電流モードで出力

する構成を採っている。したがって、単位画素の画素構造は、第1実施形態の場合と全く同じであり、信号の出力系の構成のみが異なっている。

【0040】本変形例に係るCMOSイメージセンサでは、垂直信号線23の端部と水平信号線29の間に水平選択スイッチ31を接続するとともに、水平信号線29の端部には抵抗32で帰還したオペアンプ33を配置した構成となっている。すなわち、画素からの信号を電流モードで出力させるために、垂直信号線23および水平信号線29を抵抗32で帰還したオペアンプ33で一定電位(Vbias)に固定し、かつ例えば電源回路34を内蔵し、画素に与える電源電圧を下げることによって単位画素10n、m内の増幅トランジスタ15を線形動作させるようにしている。

【0041】なお、本変形例では、電源回路34を内蔵し、画素に与える電源電圧を下げる構成を採ったが、これに限定されるものではなく、例えば単位画素10n、m内の増幅トランジスタ15のしきい値電圧Vthを下げることによって、当該増幅トランジスタ15を線形動作させることが可能である。

【0042】図8に、本変形例に係る単位画素10および垂直信号線23のポテンシャル分布を示す。同図において、PDはフォトダイオード11を、TSは転送スイッチ12を、FDはフローティングディフュージョン13を、RSはリセットスイッチ14を、ATは増幅トランジスタ15をそれぞれ表している。そして、フローティングディフュージョン13および増幅トランジスタ15のポテンシャルについては、選択時のポテンシャル動作範囲を実線で、非選択時も含めたポテンシャル動作範囲を破線でそれぞれ示している。

【0043】図9は、本変形例に係るCMOSイメージセンサの動作を説明するためのタイミングチャートである。単位画素10n、mの動作の本質的な部分は、第1実施形態の場合と同じであり、ここでは重複するのでその説明を省略し、異なる部分についての説明する。

【0044】画素からの信号の読み出し動作は水平有効期間中に行う。また、ノイズレベルの読み出しは行わず、信号レベルの読み出しのみ行う。電流モードでは、電圧モードのように、信号出力系においてサンプルホールド動作を行うことができないため、信号レベルの画素の特性に起因する固定パターンノイズについては、外部の信号処理系においてフレームメモリを用いてその抑圧を行うようにすることになる。

【0045】なお、図9のタイミングチャートは、全ラインの画素の信号を独立に読み出す全画素独立読み出し動作モードの場合を示しているが、これに限定されるものではなく、第1フィールドでは奇数(偶数)ラインの信号を読み出し、第2フィールドでは偶数(奇数)ラインの信号を読み出すフレーム読み出し動作モードや、隣り合う2ラインの信号を同時に読み出して電流加算を行

うとともに、フィールドごとに加算する2ラインの組合せを変えるフィールド読み出し動作モードの場合も勿論可能である。

【0046】図10は、本発明の第2実施形態に係るCMOSイメージセンサを示す概略構成図である。図10において、単位画素40が2次元配置されて画素部を構成しており、ここでは簡略化のために、n行m列の単位画素40n、mおよびn+1行m列の単位画素40n+1、mの2画素のみを示す。単位画素40の画素構造は全ての画素について同じであり、以下、n行m列の単位画素40n、mの画素構造を例にとって説明するものとする。

【0047】単位画素40n、mは、光電変換素子であるフォトダイオード41、転送スイッチ42、電荷蓄積部であるフローティングディフュージョン(FD)43、リセットスイッチ44、増幅トランジスタ45および転送選択スイッチ46を有する構成となっている。なお、光電変換素子としては、フォトダイオード41に代えてフォトゲートなどを用いることも可能である。

【0048】また、本例では、転送スイッチ42としてNchエンハンスメント型トランジスタが、リセットスイッチ44としてNchデプレッション型トランジスタが、増幅トランジスタ45としてNchエンハンスメント型トランジスタが、転送選択スイッチ45としてNchエンハンスメント型トランジスタがそれぞれ用いられる。ただし、これらトランジスタの全てもしくは一部をPchトランジスタで置き換えた回路構成とすることも可能である。

【0049】この単位画素40n、mにおいて、フォトダイオード41は、例えば埋め込みセンサ構造のPN接合ダイオードであり、入射光をその光量に応じた電荷量の信号電荷に光電変換し、これを蓄積する。転送スイッチ42は、フォトダイオード41とフローティングディフュージョン43の間に接続され、フォトダイオード41に蓄積された信号電荷をフローティングディフュージョン43へ転送する。フローティングディフュージョン43は、転送された信号電荷を信号電圧に変換し、増幅トランジスタ45のゲートに与える。

【0050】リセットスイッチ44は、フローティングディフュージョン43と垂直選択線51の間に接続され、フローティングディフュージョン43の電位を画素電源の電位にリセットする機能を持つ。増幅トランジスタ45は、電源ライン52と垂直信号線53の間に接続され、フローティングディフュージョン43の電位を増幅して垂直信号線53に出力する。

【0051】電源ライン52には、電源回路54から例えば3.3Vの電圧が与えられる。ただし、電源電圧は3.3Vに限定されるものではない。転送選択スイッチ46は、転送線55と転送スイッチ42のゲートの間に接続され、転送スイッチ42の転送制御を行う。

【0052】図11に、第2実施形態に係る単位画素40および垂直信号線53のポテンシャル分布を示す。図において、PDはフォトダイオード41を、TSは転送スイッチ42を、FDはフローティングディフュージョン43を、RSはリセットスイッチ44を、ATは増幅トランジスタ45を、SSは転送選択スイッチ46をそれぞれ表している。フローティングディフュージョン43および増幅トランジスタ45のポテンシャルについては、選択時のポテンシャル動作範囲を実線で、非選択時も含めたポテンシャル動作範囲を破線でそれぞれ示している。

【0053】図11から明らかなように、本例では、フォトダイオード41として埋め込みセンサ構造のフォトダイオードが用いられている。すなわち、PN接合ダイオードの基板表面側に、 P^+ の正孔蓄積層47を有するセンサ構造となっている。また、単位画素40のオーバーフローパスに関しては、第1実施形態の場合と同様に、図6(a)～(e)の画素構造が採られているものとする。

【0054】垂直走査回路56は、単位画素40を行単位で選択するために設けられたものであり、例えばシフトレジスタによって構成されている。この垂直走査回路56からは、垂直選択パルス ϕV (…、 ϕV_n 、 ϕV_{n+1} 、…)が出力される。そして、垂直選択パルス ϕV (…、 ϕV_n 、 ϕV_{n+1} 、…)は垂直選択線51を介してリセットスイッチ14のドレインに印加される。

【0055】水平走査回路57は、単位画素40を列単位で選択するために設けられたものであり、例えばシフトレジスタによって構成されている。この水平走査回路57からは、リセットパルス ϕR (…、 ϕR_m 、…)、転送パルス ϕT (…、 ϕT_m 、…)および水平選択パルス ϕH (…、 ϕH_m 、…)がそれぞれ出力される。そして、転送パルス ϕT (…、 ϕT_m 、…)は転送線55を介して転送選択スイッチ46のドレインに、リセットパルス ϕR (…、 ϕR_m 、…)はリセット線58を介してリセットスイッチ44のゲートにそれぞれ印加される。

【0056】垂直信号線53の端部と水平信号線59の間には、水平選択スイッチ60が接続されている。水平選択トランジスタ60としては、例えばNchトランジスタが用いられる。この水平選択トランジスタ60のゲートには、水平走査回路57から出力される水平選択パルス ϕH (…、 ϕH_m 、…)が与えられる。水平信号線59の端部には、抵抗61で帰還したオペアンプ62が配置されている。

【0057】上記構成の第2実施形態に係るCMOSイメージセンサでは、画素からの信号を電流モードで出力する形態を採っている。すなわち、垂直信号線53および水平信号線59を抵抗61で帰還したオペアンプ62で一定電位 (V_{bias}) に固定し、かつ電源回路54を内蔵し、画素に与える電源電圧を下げることによって

単位画素40n、m内の増幅トランジスタ45を線形動作させるようにしている。

【0058】なお、本実施形態では、電源回路54を内蔵し、画素に与える電源電圧を下げることによって増幅トランジスタ45を線形動作させる構成としたが、これに限られるものではなく、第1実施形態の変形例の場合と同様に、例えば単位画素40n、m内の増幅トランジスタ45のしきい値電圧 V_{th} を下げることによって、当該増幅トランジスタ45を線形動作させることが可能である。

【0059】次に、上記構成の第2実施形態に係るCMOSイメージセンサにおける画素動作について、nラインの画素の選択時を例にとって図12のタイミングチャートを用いて図13および図14のポテンシャル図を参照しつつ説明する。

【0060】時刻 t_1 までの期間 ($t < t_1$) は非選択状態である。この非選択状態においては、垂直選択パルス ϕV_n は“L”レベル (0V) にあり、またリセットスイッチ (RS) 44がオフ状態にあるため、フローティングディフュージョン (FD) 43の電位は0Vとなる。

【0061】時刻 t_1 になると、垂直選択パルス ϕV_n が“L”レベルから“H”レベル (3.3V) に遷移する。すると、リセットトランジスタ44としてデプレッション型トランジスタを用いているため、増幅トランジスタ (AT) 45のゲート電位が上昇する ($t_1 < t < t_2$)。

【0062】このとき、増幅トランジスタ45のポテンシャルの設定や、垂直信号線53の電位により、増幅トランジスタ45がオンする場合もある。本例では、カットオフしているものとする。ただし、この時点では、水平選択スイッチ60がオフしており、水平信号線59に何ら影響を与えることはないため、増幅トランジスタ45の状態はどうであって構わない。

【0063】時刻 t_2 になり、リセットパルス ϕR_m が発生すると、これにตอบสนองしてリセットスイッチ44がオン状態となって、0Vであったnライン目のm列のフローティングディフュージョン43の電位を3.3Vにリセットする。この結果、増幅トランジスタ (AT) 15がターンオンするため、nライン目のm列の単位画素40n、mが選択状態となる ($t_2 < t < t_3$)。

【0064】時刻 t_3 になり、リセットパルス ϕR_m が消滅すると、このリセットされた状態のフローティングディフュージョン43の読み出しが行われる。これにより、画素ごとに異なるオフセットレベル (以下、これをノイズレベルと呼ぶ) が、垂直信号線53へ読み出される ($t_3 < t < t_4$)。この読み出されたノイズレベルは、時刻 t_2 で発生した水平選択パルス ϕH_m にตอบสนองしてオン状態にある水平選択スイッチ60によって水平信号線59へ出力される。

【0065】時刻 t_4 になり、転送パルス ϕ_{Tm} が発生すると、転送スイッチ(TS)42は、そのゲートに転送パルス ϕ_{Tm} が印加されることによりゲート下のポテンシャルが深くなることにより、フォトダイオード(PD)41に蓄積された信号電荷をフローティングディフュージョン43に転送する($t_4 < t < t_5$)。この信号電荷の転送により、フローティングディフュージョン43の電位がその電荷量に応じて変化する。

【0066】時刻 t_5 になり、転送パルス ϕ_{Tm} が消滅すると、フローティングディフュージョン43の信号電荷に応じた電位が、増幅トランジスタ45によって垂直信号線53へ読み出される($t_5 < t < t_6$)。この読み出された信号レベルは、水平選択スイッチ60によって水平信号線59へ出力される。

【0067】そして、時刻 t_6 になると、垂直選択パルス ϕ_{Vn} が“H”レベルから“L”レベルに移行し、これにより n ライン目の画素が非選択状態となり、同時に次の $n+1$ ライン目の画素が選択状態となり、この $n+1$ ライン目について上述した動作が繰り返される。

【0068】上述したように、1つの画素に対して、ノイズレベル出力→信号レベル出力という順序で(信号レベル出力→ノイズレベル出力の順序であっても良い)、ノイズレベル、信号レベルを順次得る動作のことを画素点順次リセット動作というものである。

【0069】この画素点順次リセット動作には、次のような利点がある。

- ノイズ出力と信号出力が水平選択スイッチ60を含む同一経路をとるため、原理的に、経路間のばらつきに起因する固定パターンノイズが発生しない。
- ノイズレベル、信号レベルが順次出力されるため、外部の信号処理系において、フレームメモリやラインメモリを用いることなく、相関二重サンプリング回路(CDS回路)などの差分回路により、ノイズレベルと信号レベルの差分をとることが可能となり、システムが簡略化できる。

【0070】上述した一連の画素点順次リセット動作を行うためには、高速動作が要求される。そのため、動作速度的に有利な電流モードで画素からの信号を出力させる。ただし、電流モード出力の形態に限られるものではなく、速度的要求を満足するならば、第1実施形態に係るCMOSイメージセンサのような電圧モード出力の形態を探ることも可能である。

【0071】非選択画素の動作についても、図15および図16のポテンシャル図から明らかなように、列方向に転送パルス ϕ_{Tm} およびリセットパルス ϕ_{Rm} を共有していても、特に問題はないことがわかる。

【0072】上述した動作説明では、簡単化のため、全ラインの画素の信号を独立に読み出す全画素独立読み出し動作モードで説明を行ったが、これに限定されるものではなく、第1フィールドでは奇数(偶数)ラインの信

号を読み出し、第2フィールドでは偶数(奇数)ラインの信号を読み出すフレーム読み出し動作モードや、隣り合う2ラインの信号を同時に読み出して電流加算を行うとともに、フィールドごとに加算する2ラインの組合せを変えるフィールド読み出し動作モードでも勿論可能である。

【0073】なお、上記第2実施形態に係るCMOSイメージセンサにおいて、隣接した ϕ_{Tm-1} とリセットパルス ϕ_{Rm} を兼用することも可能である。これにより、配線の削減が可能となる。

【0074】また、転送選択スイッチ46のゲートと転送スイッチ42のゲートにつながるノードに積極的に容量をもたせることにより、 $t_7 < t$ において、垂直選択パルス ϕ_{Vn} が“H”レベルから“L”レベルに移行したとき、転送スイッチ42のゲート電位を負電位とすることができる。これにより、フォトダイオード41に隣接している転送スイッチ42のシリコン界面に長い期間正孔を注入することができるため、暗電流を抑制することができる。

【0075】さらに、垂直信号線53の電位(V_{bias})、増幅トランジスタ45のポテンシャルおよび電源電圧全体をシフト(本例の場合、例えば1.5Vシフト)させることにより、電源回路54を削減することができる。

【0076】第2実施形態の変形例としては、増幅トランジスタ45のソースフォロアの抵抗負荷としての役割を水平選択スイッチ60に移して電流出力を行う構成を探ることも可能である。すなわち、次のようにして電流出力動作を行う。

【0077】まず、水平選択スイッチ60は、線形領域で動作するようにしてあるものとする。また、抵抗が帰還したオペアンプを使用するなどして、水平信号線59の電位を一定電位にあるようにする。すると、増幅トランジスタ45と水平選択スイッチ60で抵抗を負荷としたソースフォロアを形成し、水平信号線59にはフローティングディフュージョン43の電位に応じた電流が流れ、オペアンプの出力端にはフローティングディフュージョン43の電位に応じた電圧が現れる。

【0078】図17は、本発明が適用されるカメラシステムの一例を示す概略構成図である。図17において、被写体(図示せず)からの入射光(像光)は、レンズ71等を含む光学系によって撮像素子72の撮像面上に結像される。撮像素子72としては、先述した第1実施形態若しくはその変形例、又は第2実施形態に係るCMOSイメージセンサが用いられる。

【0079】撮像素子72は、タイミングジェネレータ等を含む駆動回路73から出力される各種のタイミングに基づいてその駆動が行われる。撮像素子72から出力される撮像信号は、信号処理回路74において種々の信号処理が施された後、映像信号として出力される。

【0080】

【発明の効果】以上説明したように、本発明によれば、行列状に配置された単位画素を、光電変換素子、転送スイッチ、電荷蓄積部、リセットスイッチおよび増幅素子によって構成し、リセットスイッチに与えるリセット電位をコントロールすることによって行単位で画素の選択を行うようにしたことにより、垂直選択のための素子を削減できるため、画素サイズを縮小することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示す概略構成図である。

【図2】第1実施形態に係る単位画素および垂直信号線のポテンシャル図である。

【図3】第1実施形態に係る画素選択時のタイミングチャートである。

【図4】第1実施形態に係る選択ラインの画素のポテンシャル図（その1）である。

【図5】第1実施形態に係る選択ラインの画素のポテンシャル図（その2）である。

【図6】オーバーフローバスの具体的な構成例を示す断面構造図である。

【図7】本発明の第1実施形態の変形例を示す概略構成図である。

【図8】第1実施形態の変形例に係る単位画素および垂直信号線のポテンシャル図である。

【図9】第1実施形態の変形例に係る画素選択時のタイミングチャートである。

【図10】本発明の第2実施形態を示す概略構成図であ

る。

【図11】第2実施形態に係る単位画素および垂直信号線のポテンシャル図である。

【図12】第2実施形態に係る画素選択時のタイミングチャートである。

【図13】第2実施形態に係る選択ラインの画素のポテンシャル図（その1）である。

【図14】第2実施形態に係る選択ラインの画素のポテンシャル図（その2）である。

【図15】第2実施形態に係る非選択ラインの画素のポテンシャル図（その1）である。

【図16】第2実施形態に係る非選択ラインの画素のポテンシャル図（その2）である。

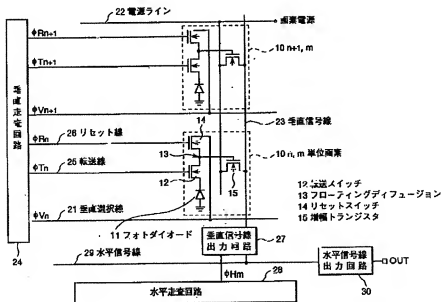
【図17】本発明が適用されるカメラシステムの一例を示す概略構成図である。

【図18】従来例に係る単位画素の構成を示す回路図である。

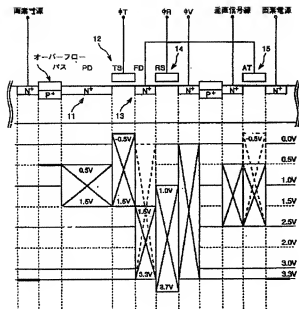
【符号の説明】

10、40…単位画素、11、41…フォトダイオード、12、42…転送スイッチ、13、43…フローティングデフュージョン、14、44…リセットスイッチ、15、45…増幅トランジスタ、21、51…垂直選択線、23、53…垂直信号線、24、56…垂直走査回路、27…垂直信号線出力回路、28、57…水平走査回路、29、59…水平信号線、30…水平信号線出力回路、31、60…水平選択スイッチ、33、62…オペアンプ、34、54…電源回路、46…転送選択スイッチ

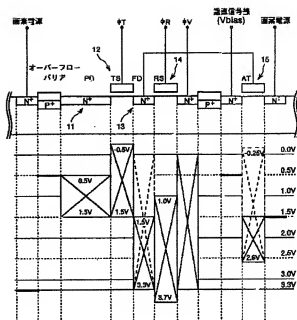
【図1】



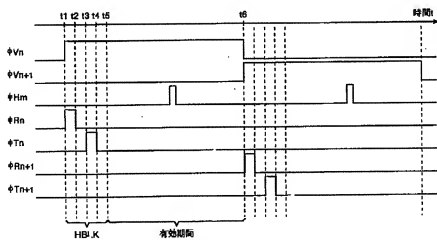
【図2】



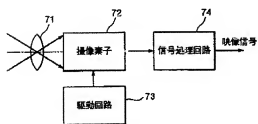
【図8】



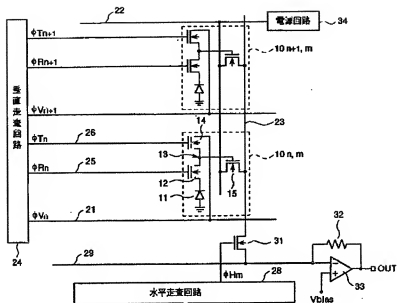
【図3】



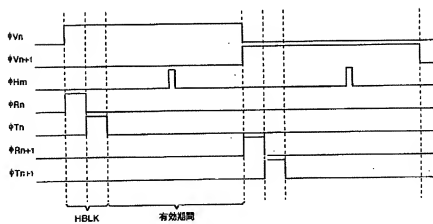
【図17】



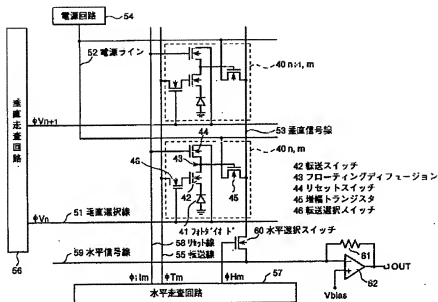
【図7】



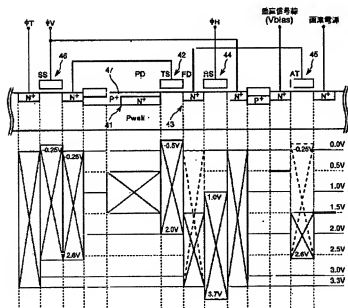
【図9】



【図10】

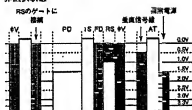


【図11】



【図13】

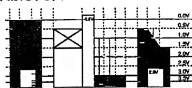
(a) 1<11 非選択状態



(b) 11<12 選択化



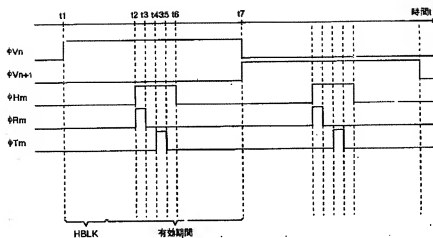
(c) 12<13 FDリセット



(c) 12<13 FDリセット

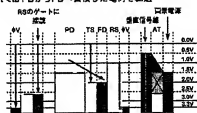


【図12】



【図14】

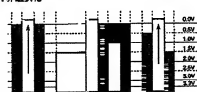
(e) 14<t<15 PDからFDへ搬送した電荷を転送



(f) 15<t<16 信号レベル読み出し

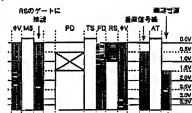


(a) 17<t<18 非選択化

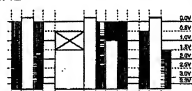


【図15】

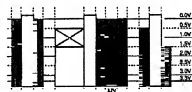
(a) t<t1



(b) t1<t<12



(c) 12<t<13



(d) 13<t<14

